

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85683

(P2001-85683A)

(43)公開日 平成13年 3 月30日 (2001.3.30)

(51)IntCl. ⁷	識別記号	F I	テマコード*(参考)	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 P	4 M 1 0 4
21/336		21/28	3 0 1 S	5 F 0 3 2
21/28	3 0 1	21/76	L	5 F 0 3 3
21/76		21/90	C	5 F 0 4 0
21/768		29/62	G	
審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く				

(21)出願番号 特願平11-257692

(22)出願日 平成11年 9 月10日 (1999.9.10)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 余郷 幸明

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74)代理人 100100022

弁理士 伊藤 洋二 (外2名)

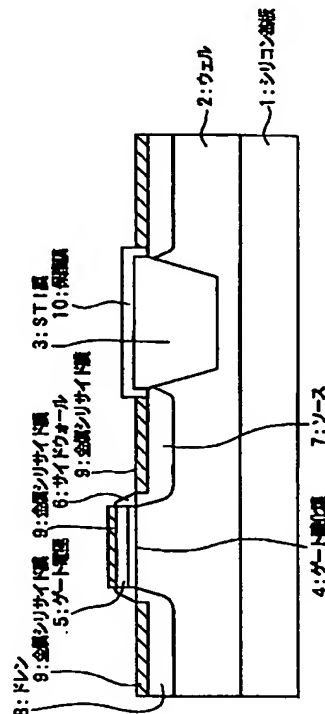
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 S T I 膜を素子分離絶縁膜として用いたサリサイド構造の絶縁ゲート型トランジスタにおいて、シリサイドリークの発生を防止する。

【解決手段】 S T I 膜3を素子分離絶縁膜として用いたサリサイド構造を有するMOSFETであって、S T I 膜3上にS i N膜等の保護膜10を形成した。このことにより、後の工程でS T I 膜3の部分がエッチングされなくなり、S T I 膜3の沈下がなくなり、金属シリサイド膜9がソース7・ドレイン8の部分においてその表面にのみ形成されるため、シリサイドリークの発生を抑えることができる。



【特許請求の範囲】

【請求項 1】 半導体基板（1）と、
前記半導体基板に形成された素子分離用の S T I 膜（3）と、
前記 S T I 膜によって素子分離された素子形成領域の上に形成されたゲート絶縁膜（4）と、
前記ゲート絶縁膜の上に形成されたゲート電極（5）と、
前記ゲート電極の両側の前記素子形成領域内に形成されたソース（7）、ドレイン（8）と、
前記ソース、ドレインの表面に形成された金属シリサイド膜（9）と、
前記 S T I 膜を保護する保護膜（10）と、を備え、
前記保護膜によって、前記金属シリサイド膜が、前記ソース、ドレインにおいてその表面にのみ形成されるようになっていることを特徴とする半導体装置。

【請求項 2】 前記保護膜は、前記 S T I 膜の上面に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記保護膜は、前記 S T I 膜の側面に形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記保護膜は、S i N 膜であることを特徴とする請求項 1 乃至 3 に記載の半導体装置。

【請求項 5】 半導体基板に S T I 膜を形成する工程と、
前記 S T I 膜に保護膜を形成する工程と、
前記 S T I 膜によって素子分離された素子形成領域の上に、ゲート絶縁膜（5）を介してゲート電極（6）を形成する工程と、
前記ゲート電極の両側の前記素子形成領域内にソース（7）、ドレイン（8）を形成する工程と、
前記ソース、ドレインの表面に金属シリサイド膜（9）を形成する工程と、を有し、
前記保護膜を形成したことにより、前記金属シリサイド膜（9）を形成する工程において、前記金属シリサイド膜が、前記ソース、ドレインにおいてその表面にのみ形成されることを特徴とする半導体装置の製造方法。

【請求項 6】 前記保護膜を前記 S T I 膜の上面に形成し、前記金属シリサイド膜（9）を形成する工程までにおいて、前記 S T I 膜がエッチングされるのを前記保護膜により防止することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記保護膜を前記 S T I 膜の側面に形成し、前記金属シリサイド膜（9）を形成する工程までにおいて、前記 S T I 膜と前記半導体基板の間がエッチングにより挟まれるのを前記保護膜による防止することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、金属シリサイド膜をソース、ドレインの表面に形成するいわゆるサリサイド構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】近年、CMOS 等の半導体装置において、寄生抵抗を低減する目的で、ゲート電極やソース・ドレインの上面に金属シリサイド膜を形成するサリサイド技術が用いられている。これは、電極をとる S i （シリコン）または P o l i S i （ポリシリコン）上に T i 、C o などの金属膜を堆積し、熱処理によって合金化する技術で、素子の高速化を阻害する寄生抵抗を低くすることができる。但し、ドレイン・ソース部分の金属シリサイド膜は、ソース・ドレインの N⁺または P⁺上に形成されるが、金属シリサイド膜が N⁺又は P⁺とウェルとの間の接合部分にまで入り込み、接合リーク（以下、シリサイドリークという）が生じないように合わせ込む必要がある。

【0003】一方、素子分離絶縁膜として、従来の L O C O S 酸化膜より狭い面積で素子分離を行える S T I （Shallow Trench Insulator）膜がある。この S T I 膜は、基板上にエッチング等で溝を掘り、その中に絶縁膜を埋め込むことによって形成されるもので、従来の L O C O S 酸化膜より深く、厚い素子分離絶縁膜となる。図 5 に、素子分離絶縁膜として S T I 膜を用いたサリサイド構造の MOS F E T の断面構成を示す。

【0004】図において、シリコン基板 1 にウェル領域 2 が形成され、S T I 膜 3 によりウェル領域 2 内の素子形成領域が他の素子形成領域から絶縁分離されるようになっている。素子形成領域において、ウェル 2 領域の上には、ゲート酸化膜 4 を介してポリシリコンによるゲート電極 5 が形成され、ゲート電極 5 の側壁には、側壁酸化膜（サイドウォール）6 が形成されている。ウェル領域 2 内にはソース 7、ドレイン 8 が形成され、ゲート電極 6、ソース 7、ドレイン 8 の上面には金属シリサイド膜 9 が形成されている。

【0005】このような S T I 膜 3 を用いたサリサイド構造の MOS F E T において、本発明者の検討によれば、S T I 膜 3 が途中のエッチング工程等により薄くなり、基板表面に対して沈下することがあり、この状態でシリサイドを実施すると、S T I 膜 3 の溝の側面付近にまで金属シリサイド膜 9 が入り込み、ソース 7・ドレイン 8 とウェル 2 領域の接合部分から接合リークが生じるという問題があることが分かった。

【0006】以下、上記した問題が生じることを、MOS F E T の概略の製造工程を示す図 6～図 8 を参照して説明する。

【0007】シリコン基板 1 上に S i N 膜 2 1 を C V D にて 1500 Å 程度形成し、素子分離絶縁膜を形成する箇所を開口した後、S i N 膜 2 1 をマスクとしてエッチングを行い、S T I 用の溝を 300～600 nm 程度形

成し、熱酸化膜を数十～数百Å形成した後、CVD装置などで03TEOS等の酸化膜22を堆積する(図6(a))。

【0008】この後、CMPにてSiN膜21の表面の酸化膜を取り除き(図6(b))、次にSiN膜21を燐酸のウエットエッチング等によって取り除く(図6(c))。このことにより、約450～750nm程度の厚さを持つ素子分離絶縁膜としてのSTI膜3が完成する。

【0009】この後、ウェル領域2を形成するため、イオンインプラと熱処理を加え、熱処理によってできた表面の数十～数百Åの酸化膜をエッチングによって除去する(図6(d))。このとき、STI膜3の表面も同時にエッチングされるため、STI膜3は薄くなる。

【0010】次に、酸化膜23を50～200Å形成し、ポリシリコン24を約2000Å堆積した(図7(a))後、トランジスタのゲート電極となる部分をエッチングする(図7(b))。このことによって、ゲート酸化膜4、ゲート電極5が形成される。

【0011】この後、ウェハ全面に酸化膜25を100～200Å程度堆積し(図7(c))、エッチングを行ってサイドウォール6を形成する(図7(d))。そして、ソース7・ドレイン8を形成するためにイオンインプラと熱処理を加え、熱処理時に形成された数十～数百Åの表面酸化膜を除去するためにエッチングを行う(図8(a))。これらのエッチング工程においても、STI膜3表面はエッチングされるため、STI膜3は薄くなり、基板表面に対して沈下する。

【0012】このような状態で、金属シリサイド膜9を形成する(図8(b))と、図5に示すように、金属シリサイド膜9がSTI膜3の溝の側面付近にまで入り込み、ソース7・ドレイン8とウェル2領域の接合部分からシリサイドリークが生じる。

【0013】また、STI膜3の沈下が図5ほどには大きくない場合においても、図9のようにSTI膜3の側壁部分が抉られ、この部分でシリサイドリークを起こす可能性がある。

【0014】本発明は上記問題に鑑みたもので、STI膜を素子分離絶縁膜として用いたサリサイド構造の絶縁ゲート型トランジスタにおいて、シリサイドリークの発生を防止することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、STI膜を素子分離絶縁膜として用いたサリサイド構造を有する半導体装置において、STI膜(3)に保護膜(10)を設け、この保護膜(10)によって、金属シリサイド膜(9)が、ソース(7)、ドレイン(8)においてその表面にのみ形成されるようにしたことを特徴としている。

【0016】この発明によれば、金属シリサイド膜

(9)が(7)、ドレイン(8)の部分においてその表面にのみ形成されるため、シリサイドリークの発生を抑えることができる。

【0017】なお、請求項2に記載の発明のように、保護膜(10)をSTI膜(3)の上面に形成すれば、エッチングによるSTI膜(3)の沈下を防止して、請求項1の効果を達成することができる。また、請求項3に記載の発明のように、保護膜(10)をSTI膜(3)の側面に形成すれば、STI膜(3)の側壁部分が抉られるのを防止して、請求項1の効果を達成することができる。

【0018】また、保護膜(10)としては、請求項4に記載の発明のようにSiN膜を用いるのが好ましい。

【0019】請求項5～7に記載の発明では、上記した半導体装置を製造するのに適した製造方法を提供することができる。

【0020】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0021】

【発明の実施の形態】図1に、本発明の一実施形態にかかる、STI膜3を用いたサリサイド構造のMOSFETの断面構成を示す。なお、この実施形態において、図5～図8に示すものと同一符号を付したものは、同一もしくは均等のものであることを示している。

【0022】この実施形態に示すMOSFETにおいては、STI膜3上にチツ化膜等の保護膜10が形成されている。この保護膜10の形成によって、後の工程でSTI膜3の部分がエッチングされなくなる。従って、STI膜3の沈下がなくなり、金属シリサイド膜9がソース7・ドレイン8の部分においてその表面にのみ形成されるため、シリサイドリークの発生を抑えることができる。なお、保護膜10としては、図9のようにSTI膜3の側壁部分が抉られるのを防ぐため、STI膜3の上面のみならず側面にまで形成することが望ましい。

【0023】以下、図1に示すMOSFETの製造方法について図2、図3に示す工程図を参照して説明する。

【0024】まず、図6(a)～(c)と同じ工程で、基板1にSTI膜3を形成する(この状態を図2(a)に示す)。そして、保護膜10を形成するための膜26をウェハ全面にわたって形成し(図2(b))、この後、ホト工程にてレジスト27を被せ、CF₄ガス等を用いたドライエッチング、または、燐酸等によるウエットエッチング、または、その両方を行うことによって、STI膜3上面および側面だけを残して、他の領域の膜26を除去する(図2(c))。その後、レジスト27を除去することで保護膜10を形成する(図2(d))。

【0025】この保護膜10は、この後の途中工程における、シリコンやSiO₂を除去するエッチングに対して除去されない、または除去されにくい材質が必要とさ

10

20

30

40

50

れ、一般的にはSiN等が望ましいが、SiN以外でもシリコン、SiO₂に対してエッチングの選択比が大きくエッチングされにくい材料であれば良い。但し、STI膜3の上面だけでなく、側面まで含めて保護することを考慮すれば、STI膜3の側面にも均一な膜を形成できるCVDによるSiN等が適当である。

【0026】また、STI膜3部分の段差が大きくなりすぎると、配線工程において断線等の問題が発生したり、層間絶縁膜等を形成する際に段差部分で膜を堆積できなくなる等の問題が発生する可能性がある。このため、保護膜10の膜厚は、途中工程のシリコンやSiO₂のエッチングに対して、侵食されない範囲で、なるべく薄く製作すべきであるが、この膜厚は、エッチングしようとする膜と、保護膜10とのエッチング選択比によって決定される。SiNを例にとると、SiO₂、ポリシリコン膜とのエッチング選択比を3:1~5:1程度であるとすれば、除去するSiO₂、ポリシリコン膜の1/3~1/5の膜厚で設定するのが適当である。

【0027】なお、STI膜3の沈下がSTI膜3の上面については問題なく、図9のようにSTI膜3の側面

で挟まれるのを防止する場合には、図2(b)のように保護膜10を形成するための膜26を形成した後、レジスト27を塗布せずに、エッチバックを行い、図4に示すように側面にのみ保護膜10を残すようにしてもよい。

【0028】このようにしてSTI膜3上に保護膜10を形成した後、図6(d)、図7(a)~(d)、図8(a)、(b)と同じ工程を実施し、図1に示す構造のものを得る。なお、STI膜3上に保護膜10を形成しておくことにより、それらの工程で、STI膜3の部分

がエッチングされることはない。

【0029】さらに、図1に示す構造のものを得た後、TEOS、BPSGなどの層間膜28を堆積する(図3(a))。一般には、これ以降STI膜3の沈下が起こる工程は加えない。STI膜3用の保護膜は、後の工程に問題が無いようであれば、そのまま残しておいてよい。もし、後の配線工程等でSTI膜3の段差が問題となる場合には、図3(a)の層間膜28を形成する前に

保護膜10を除去する。例えば、サイドウォール6の形成後、または、サリサイドを形成した後に、保護膜10のみを除去する。

【0030】層間膜28を堆積した後は、ホットエッチング工程にて、コンタクト形成部分のみをエッチングし(図3(b))、Ti/TiNなどのバリアメタルを数十~数百Å堆積した後さらにW等を堆積し、これらW、Ti/TiN等の金属29により、図3(b)にて形成した穴を埋める(図3(c))。さらに、表面のW、Ti/TiN等の金属29を、エッチングまたはCMPによって除去し、下地の層間膜28をむき出しにし(図3(d))、Alなどを主成分とする金属膜を堆積した後、ホットエッチング工程にて、金属膜を部分的にエッチングし、配線30とする(図3(e))。このようにしてSTI膜3を用いたサリサイド構造のMOSFETが完成する。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかる、STI膜3を用いたサリサイド構造のMOSFETの断面構成を示す図である。

【図2】図1に示すMOSFETの製造方法を示す工程図である。

【図3】図2に続く製造工程を示す工程図である。

【図4】STI膜3の側面にのみ保護膜10を形成した状態を示す図である。

【図5】本発明者が検討した、STI膜3を用いたサリサイド構造のMOSFETの断面構成を示す図である。

【図6】図5に示すMOSFETの製造方法を示す工程図である。

【図7】図6に続く製造工程を示す工程図である。

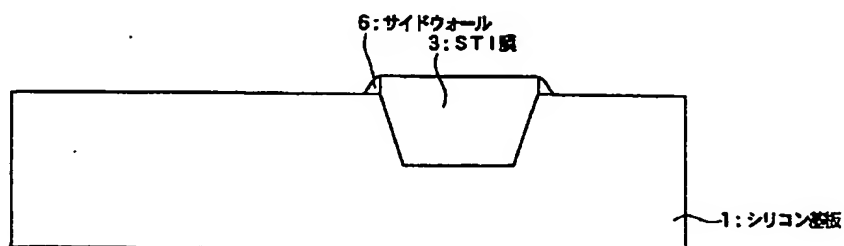
【図8】図7に続く製造工程を示す工程図である。

【図9】図5に示すMOSFETに対し、STI膜3の側壁部分が挟まれた状態を示す図である。

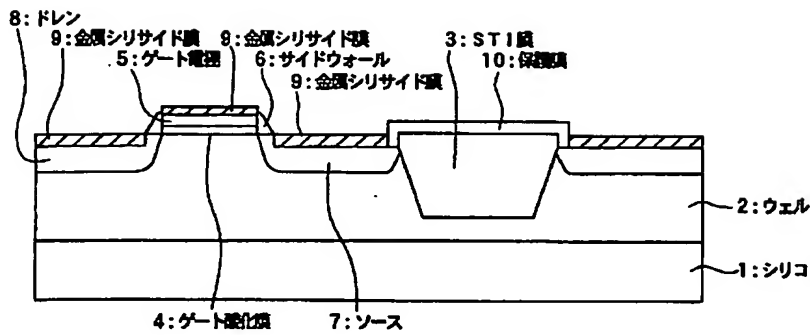
【符号の説明】

1…シリコン基板、2…ウェル領域、3…STI膜、4…ゲート酸化膜、5…ゲート電極、6…サイドウォール、7…ソース、8…ドレイン、9…金属シリサイド膜。

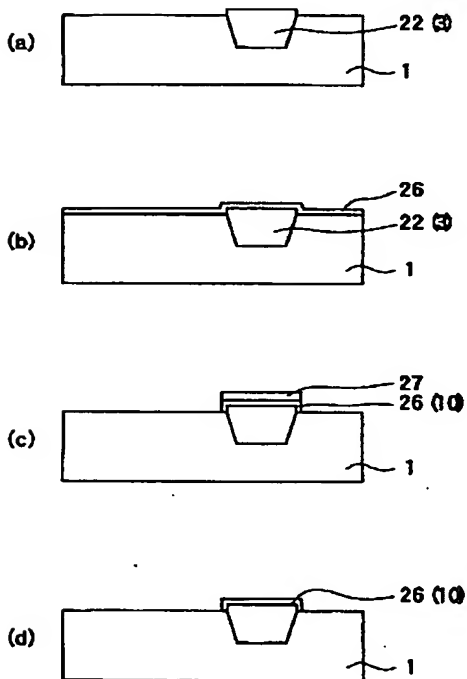
【図4】



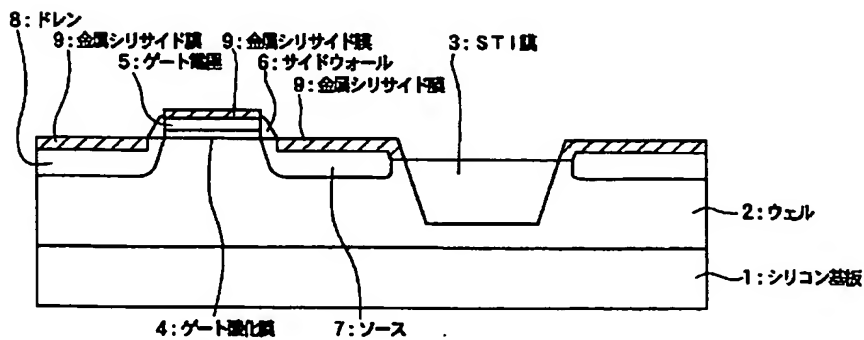
【図 1】



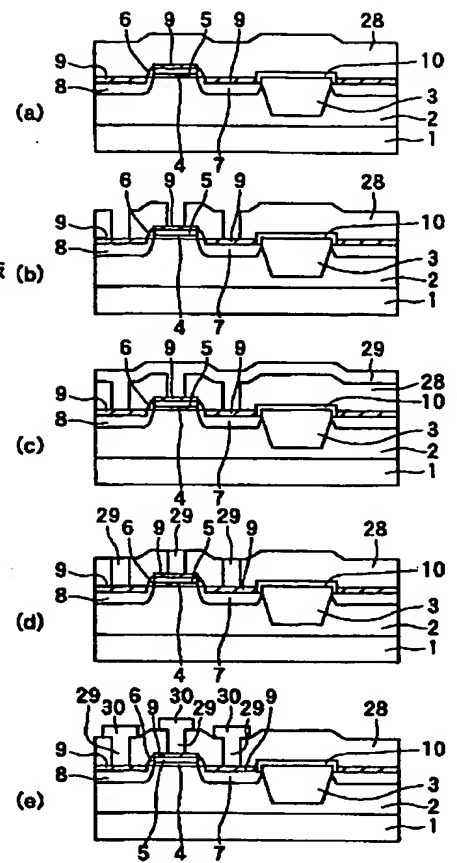
【図 2】



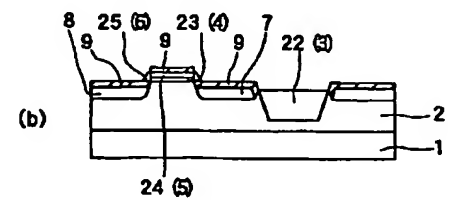
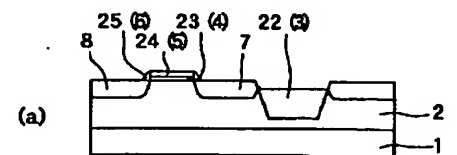
【図 5】



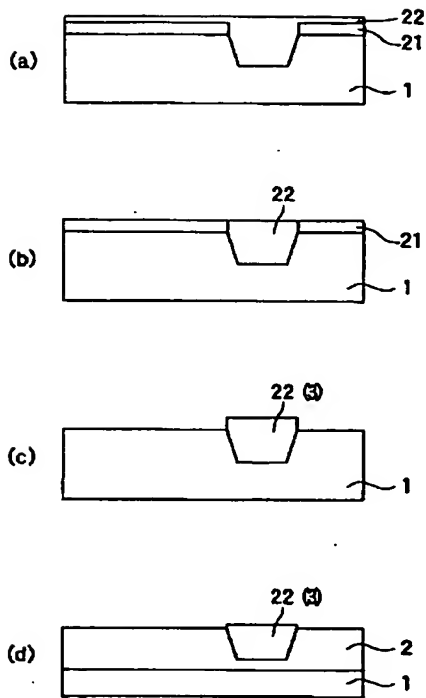
【図 3】



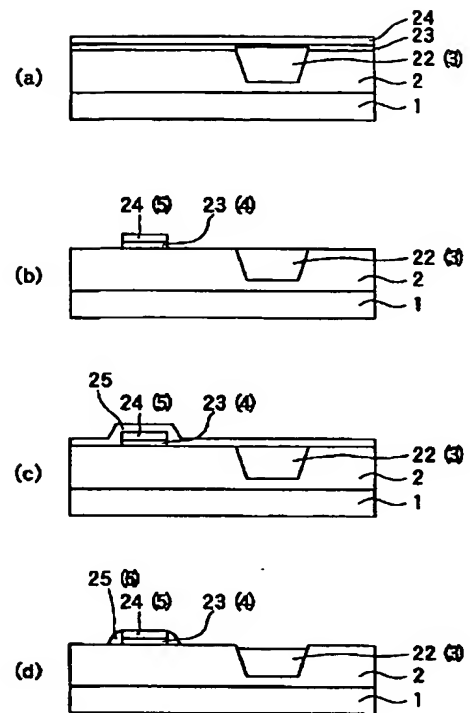
【図 8】



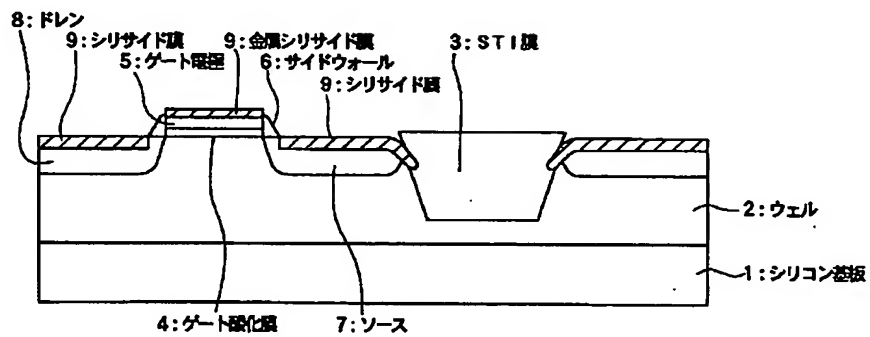
【図 6】



【図 7】



【図 9】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/43

識別記号

F I

H01L 29/78

テーマコード* (参考)

301R

F ターム(参考) 4M104 AA01 BB01 BB14 BB19 BB20
BB25 CC05 DD02 DD04 DD16
DD19 EE15 FF13 FF14 FF17
FF18 GG09 HH12 HH16 HH20
5F032 AA34 AA44 CA03 CA17 DA02
DA23 DA24 DA28 DA30 DA33
DA43 DA74
5F033 HH04 HH08 HH25 JJ18 JJ19
JJ33 KK01 MM07 NN03 QQ08
QQ09 QQ37 QQ48 RR04 RR15
SS04 TT02 VV06 XX00 XX09
XX10
5F040 DA14 EC01 EC07 EC13 EH01
EH02 EK00 EK05 FA05 FC10
FC19 FC21 FC22 FC28